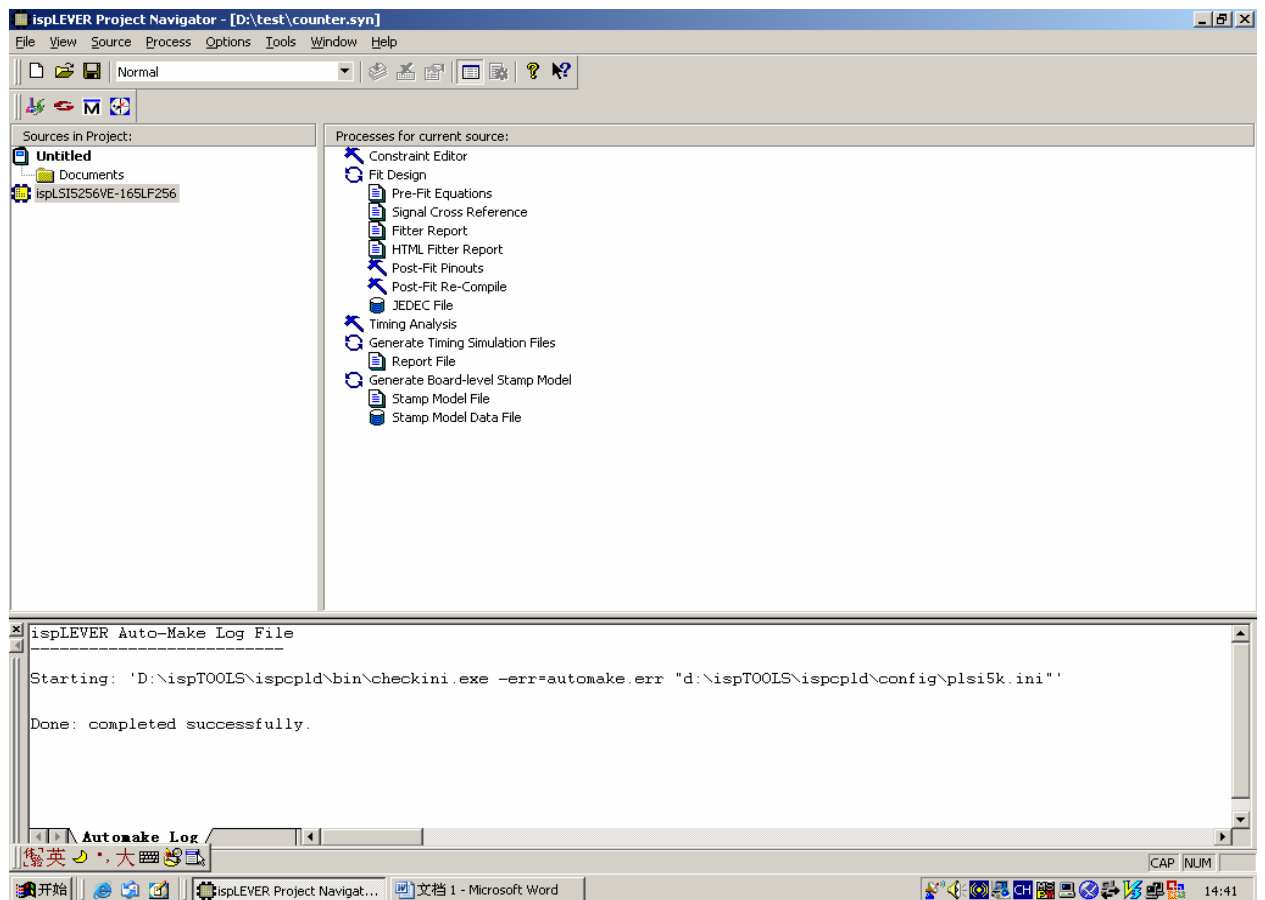
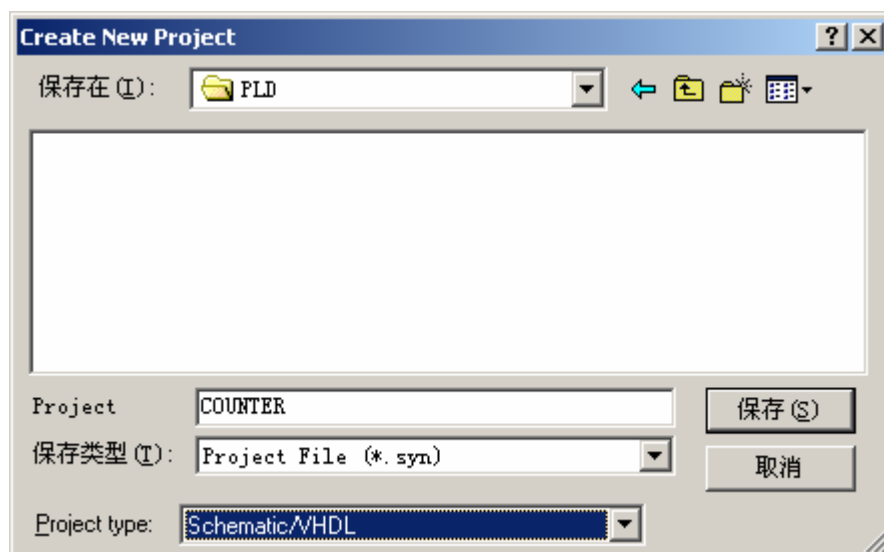


VHDL 设计输入的操作步骤

按开始=>程序=>Lattice Semiconductorisp 中选 ispLEVER Project Navigator, 会弹出如下图所示的界面。



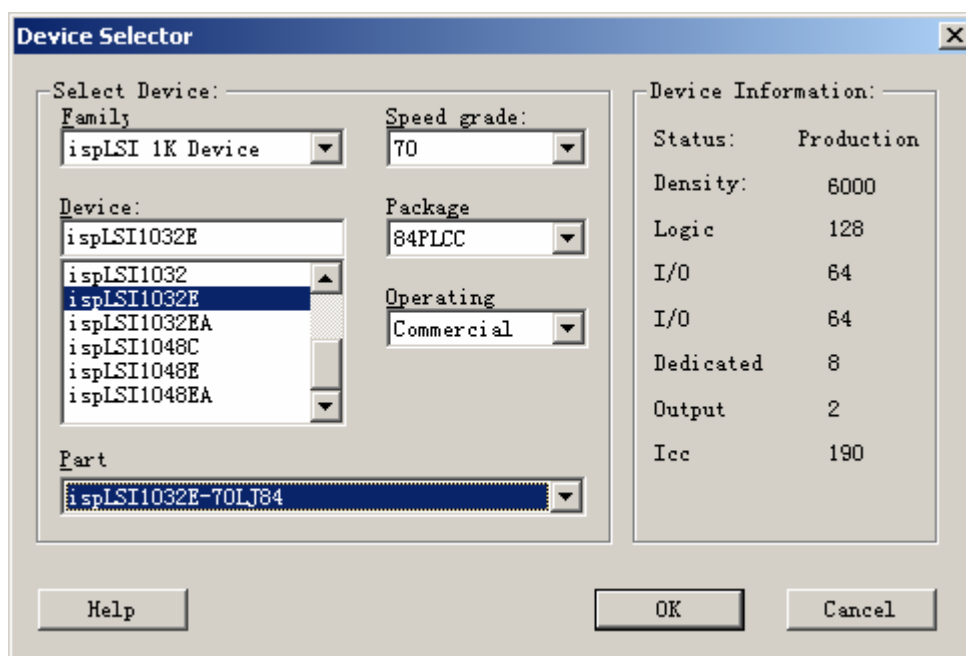
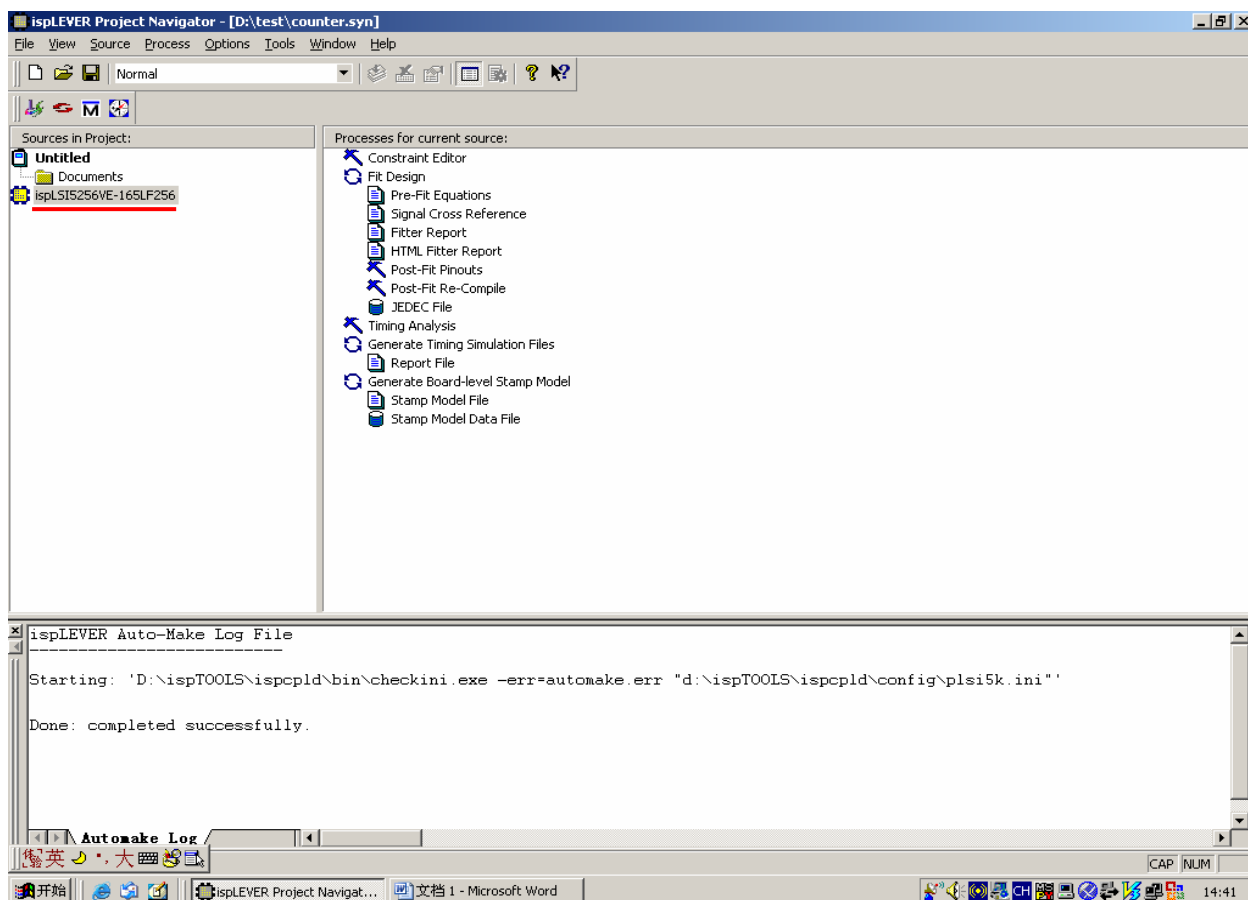
按 File=>New Project 菜单建立一个新的项目, 此时会弹出如下图所示的对话框。请注意: 在该对话框中的 Project Type 栏中, 必须根据设计类型选择相应的项目的类型。本例中, 选择 VHDL 类型。请在新建目录里建项目。



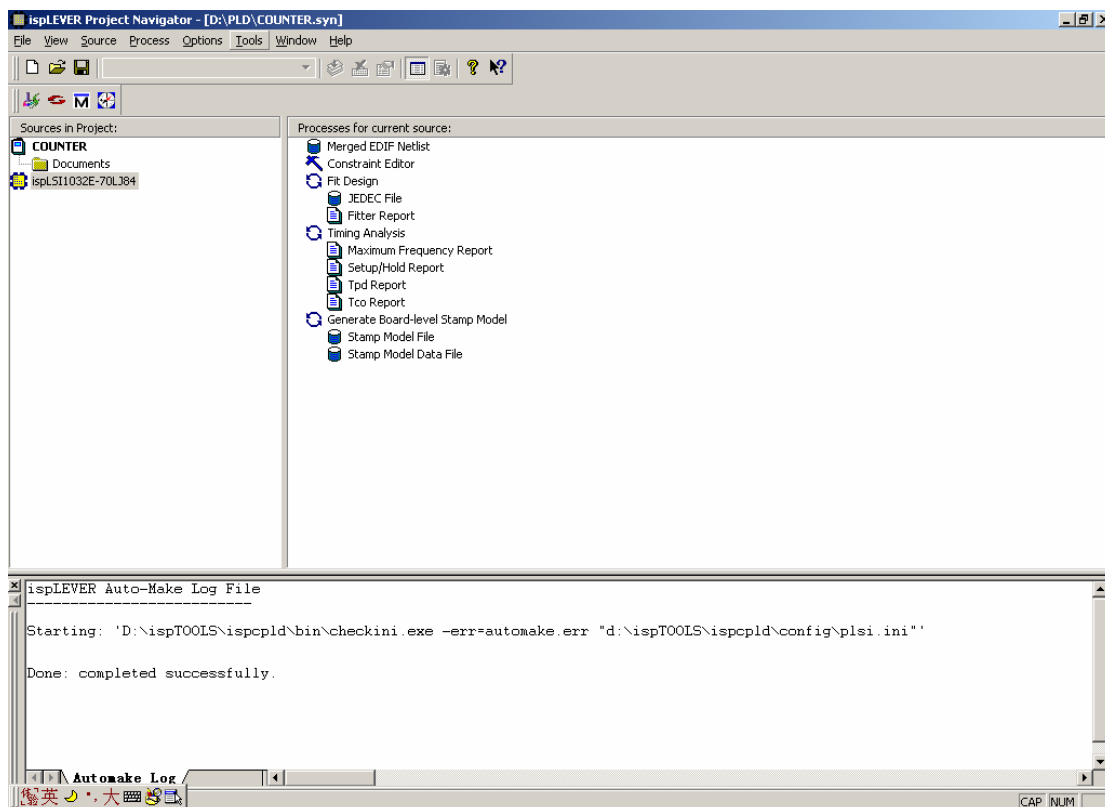
将该工程文件存盘为 counter.syn。

欢迎大家来看看, 更多 LATTICE 开发工具和资料

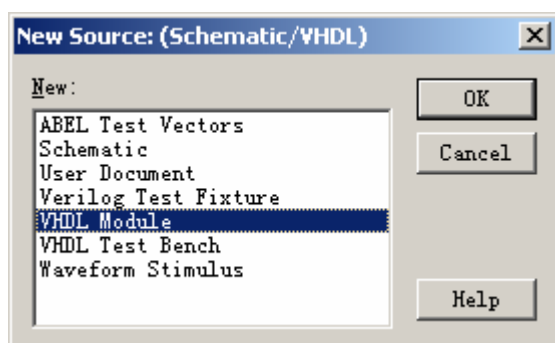
双击器件项，选择正确器件 ispLSI1032E-70LJ84:



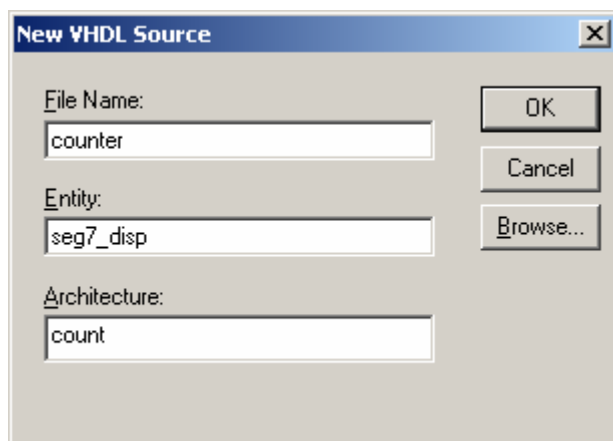
在 ispLEVER Project Navigator 主窗口中, 选择 Source=>New 菜单。在弹出的 New Source 对话框中, 选择 VHDL Module 类型。



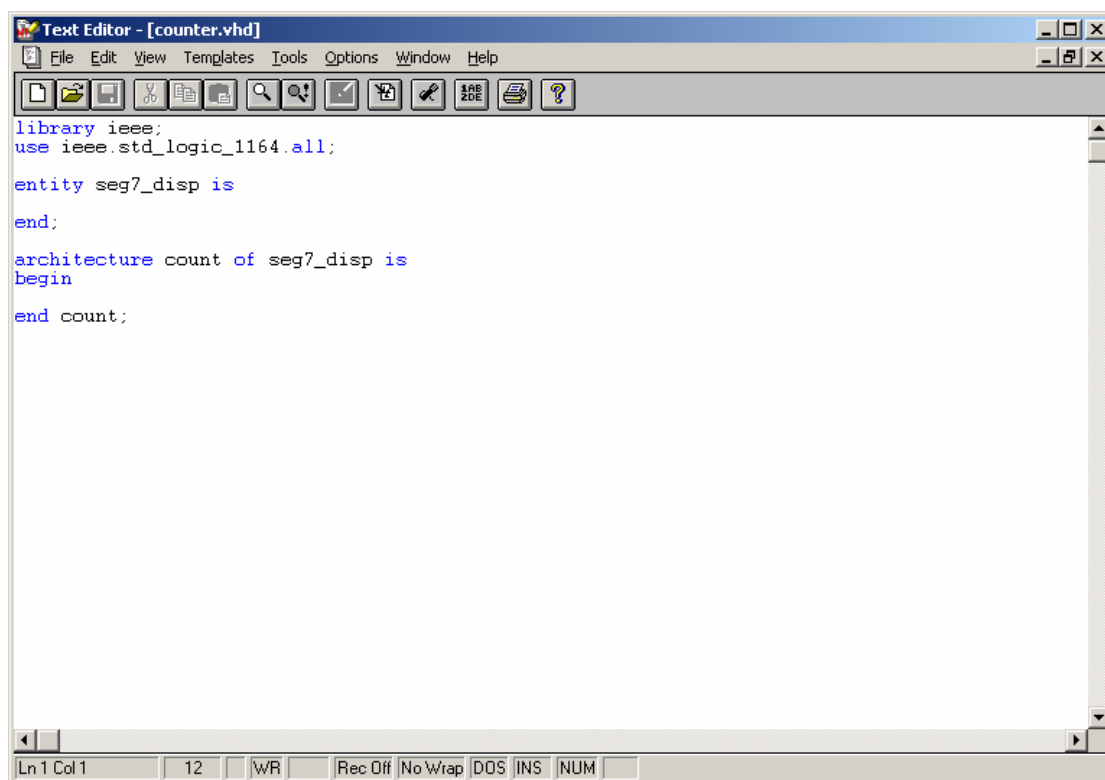
此时, 软件会产生一个如下图所示的 New VHDL Source 对话框:



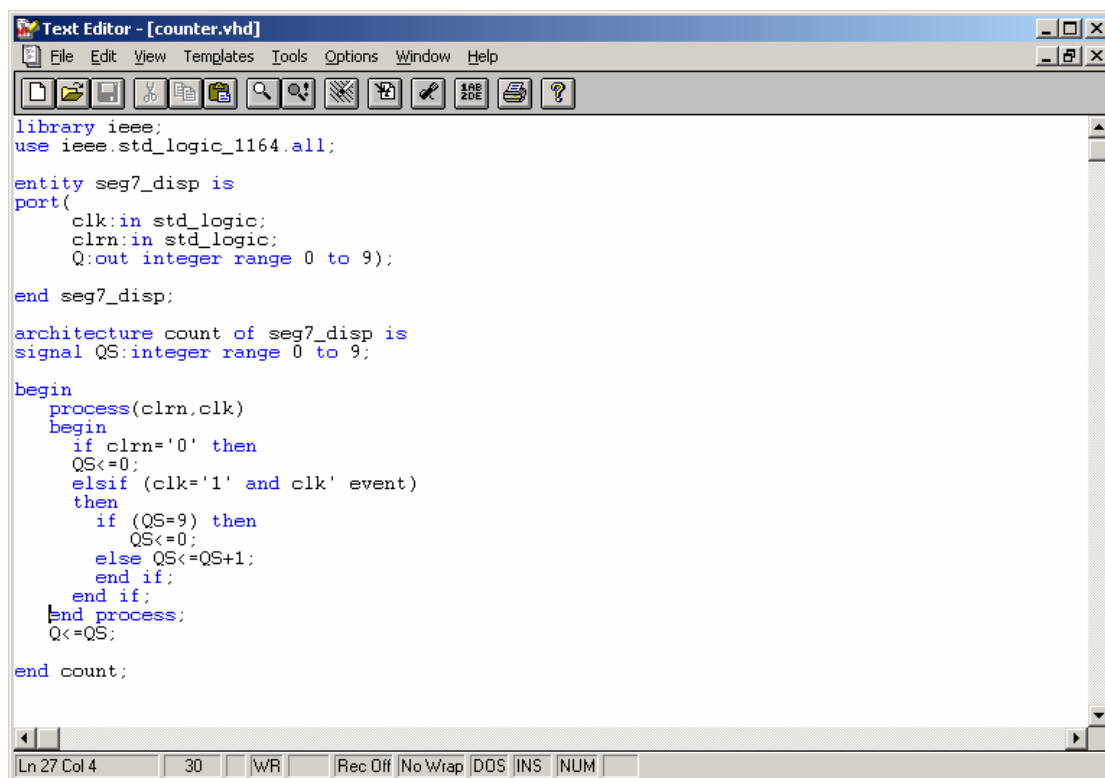
输入文件名, 实体名和结构名:



在对话框的各栏中，分别填入如上图所示的信息。按 OK 钮后，进入文本编辑器-Text Editor 编辑 VHDL 文件。



在 Text Editor 中输入如下的 VHDL 设计，并存盘。

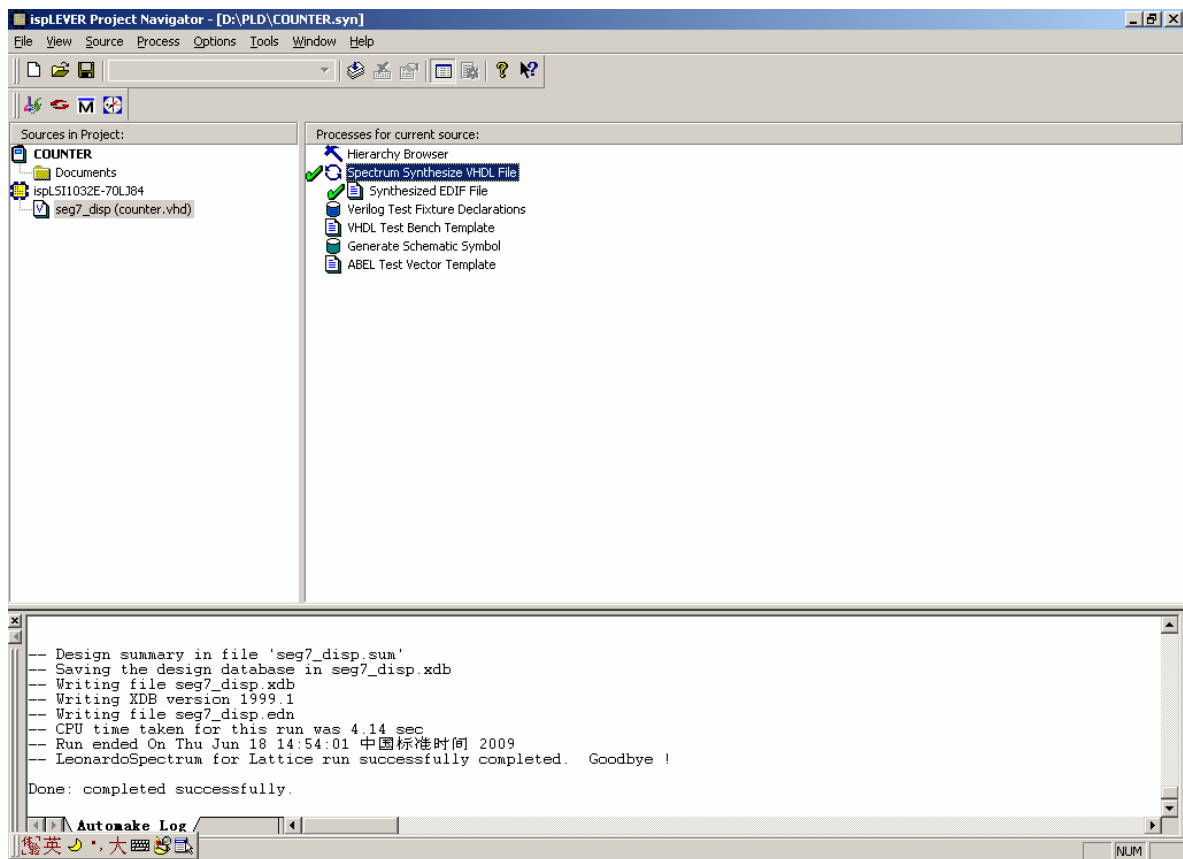


```
library ieee;
use ieee.std_logic_1164.all;

entity seg7_disp is
port(
    clk:in std_logic;
    clrn:in std_logic;
    Q:out integer range 0 to 9);
end seg7_disp;

architecture count of seg7_disp is
signal QS:integer range 0 to 9;
begin
    process(clrn,clk)
    begin
        if clrn='0' then
            QS<=0;
        elsif (clk='1' and clk' event)
            then
                if (QS=9) then
                    QS<=0;
                else QS<=QS+1;
                end if;
            end if;
        end process;
        Q<=QS;
    end count;
```

此时，在 ispLEVER Project Navigator 主窗口左侧的源程序区中，counter.vhd 文件被自动调入。在主窗口右侧的进程区中，双击 Synplify Synthesize VHDL File，即对 VHDL 设计进行编译、综合。

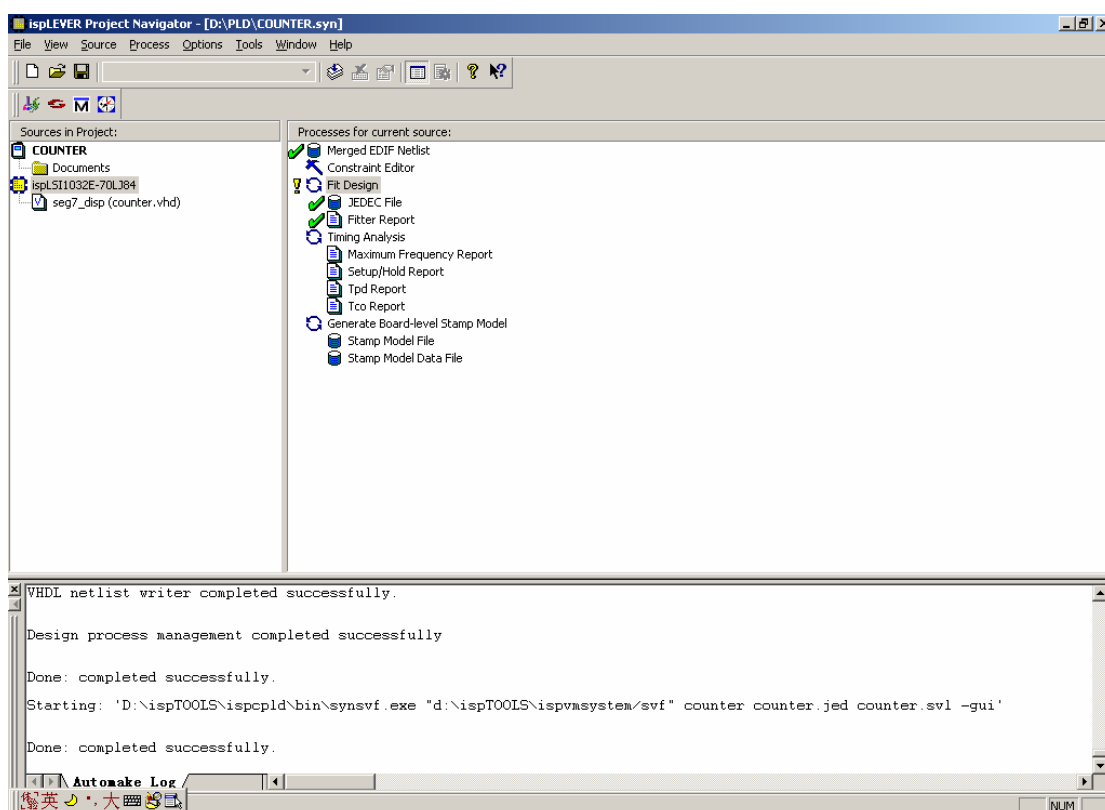


在通过 VHDL 综合过程后，可对设计进行功能和时序仿真。在 ispLEVER Project Navigator 主窗口中按 Source=>New 菜单，产生并编辑如下的测试向量文件 demo.abv:

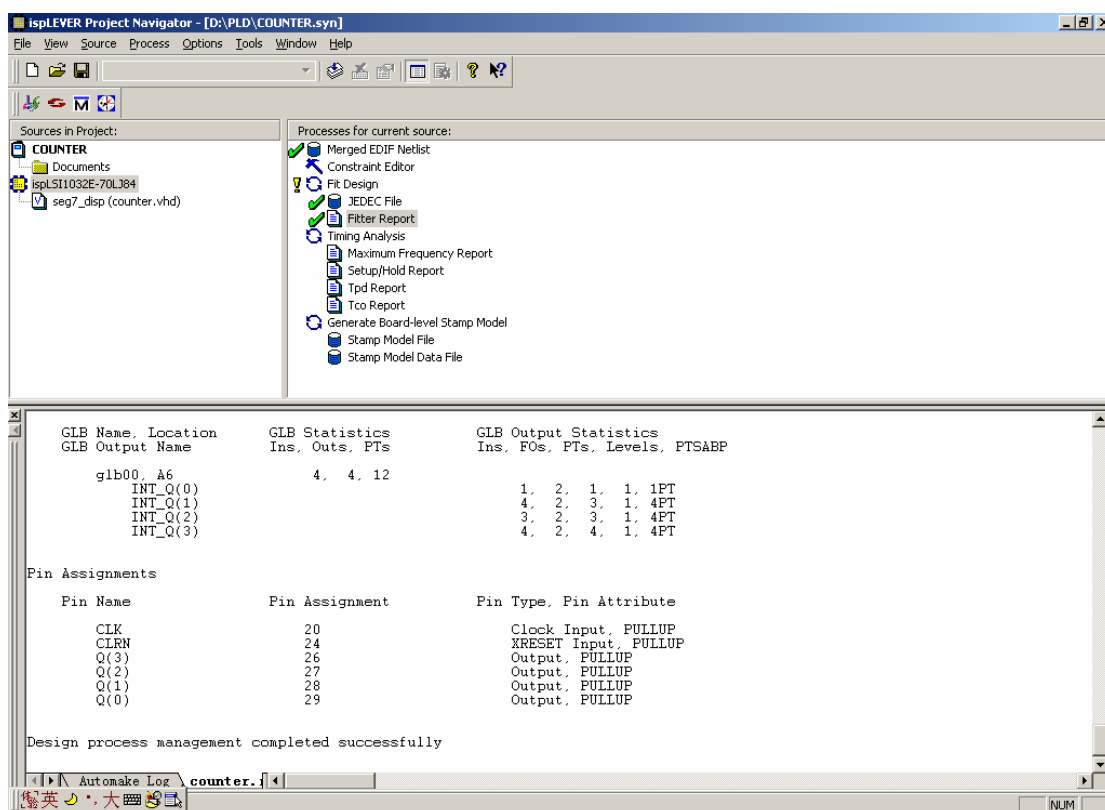
在 ispLEVER Project Navigator 主窗口中选中左侧的 counter.abv 文件，双击右侧的 Functional Simulation 栏，进行功能仿真。在 Waveform Viewer 窗口中观测信号 clk, clrn 和 Q3, Q2, Q1, Q0，观察波形。

在 ispLEVER Project Navigator 主窗口中选中左侧的 counter.abv 文件，双击右侧的 Timing Simulation 栏，进行时序仿真。选择 Maximum Delay，在 Waveform Viewer 窗口中观测信号 clk, clrn 和 Q3, Q2, Q1, Q0，观察波形。

在 ispLEVER Project Navigator 主窗口中选中左侧的 ispLSI1032E-70LJ84 器件，双击右侧的 Fit Design 栏，进行器件适配。该过程结束后会生成用于下载的 JEDEC 文件 counter.jed。



可以在 Fitter Report 中查看系统自动引脚分配结果。

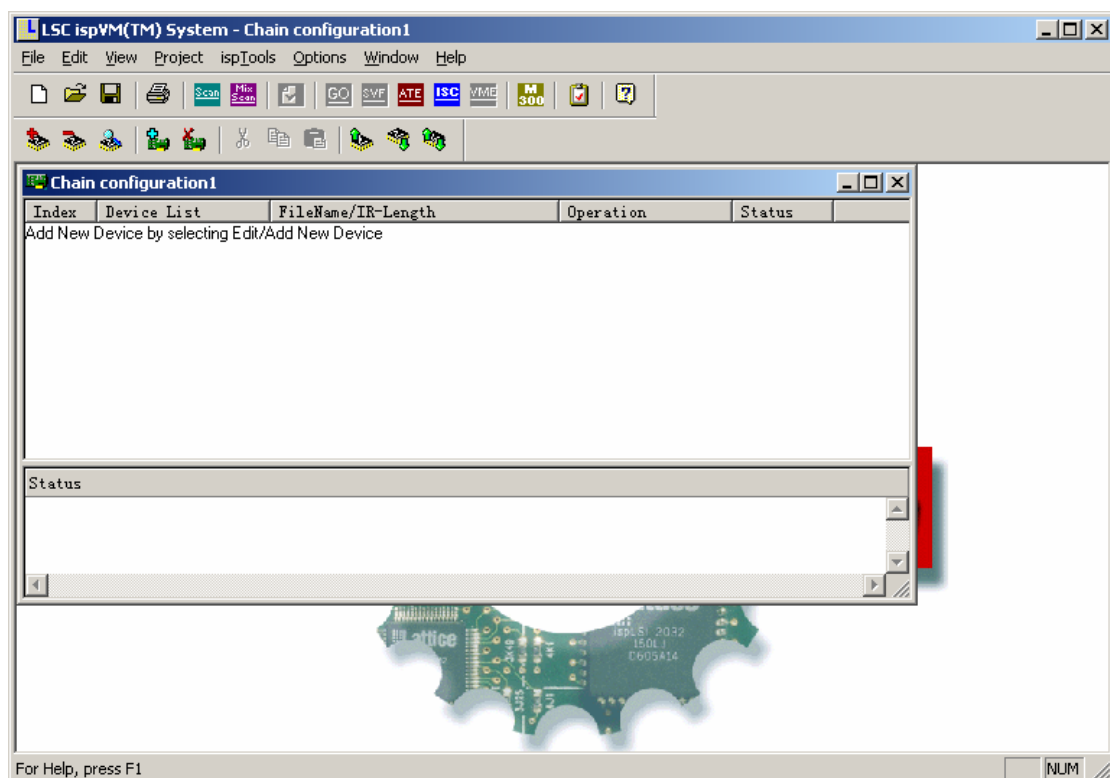


Lattice 器件的在系统编程是借助 ispVM System 软件来实现的。ispVM System 软件集成在 ispLEVER 软件中，它同时也可以是一个独立的器件编程软

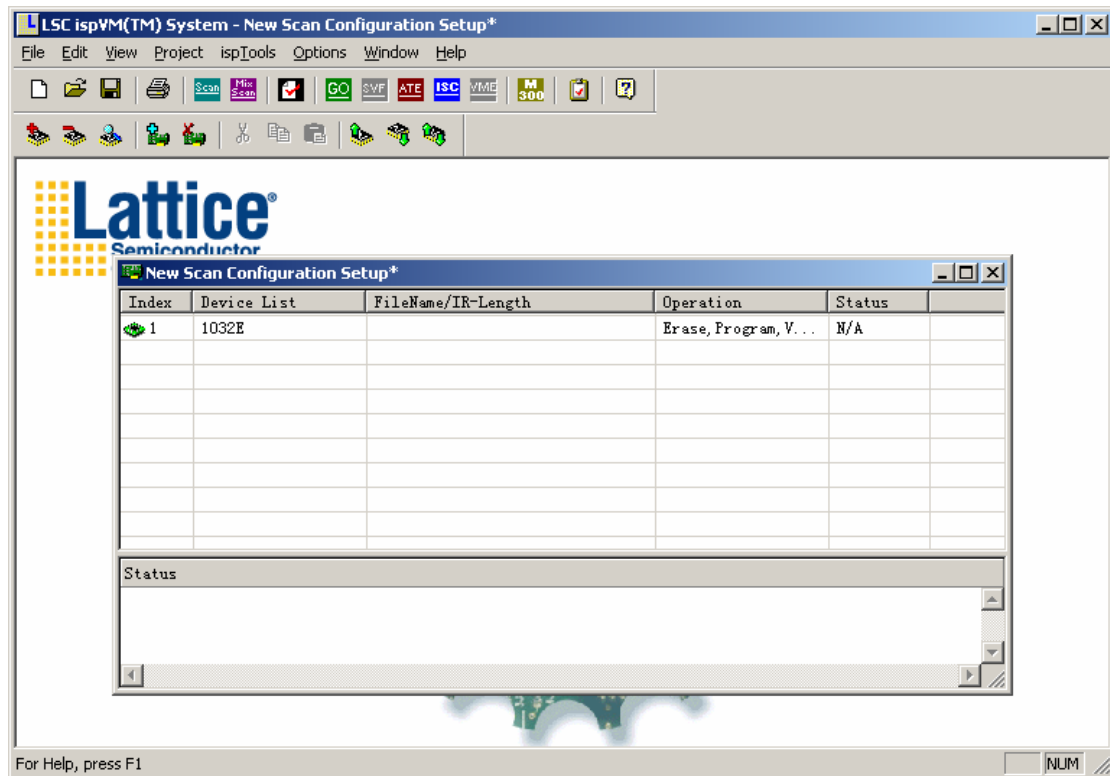
件。ispVM System™ 是一个综合的将设计下载到器件的软件包。该软件提供一种有效的器件编程方式，即采用由Lattice公司或其他公司的设计软件所生成的 JEDEC 文件来对 ISP 器件编程。这一完整的器件编程工具允许用户快速简便地通过ispVM System将设计烧写到器件上，其使用方法如下：

在启动 ispVM System 前，先将 Lattice 下载电缆连接在 PC 机的并行口和待下载的实验箱上，并打开实验箱的电源。

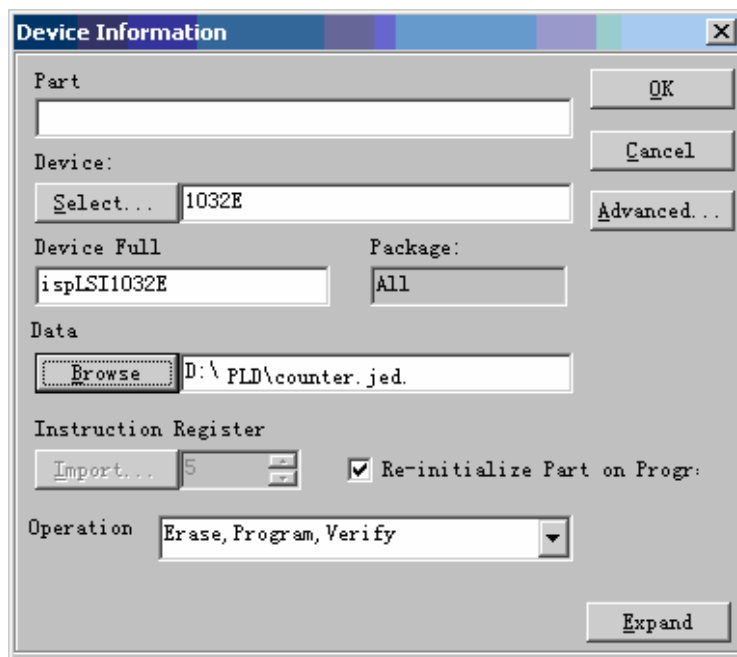
按 Start=>Programs=>Lattice Semiconductor=>ispVM System 菜单启动 ispVM System，如下图所示。



在 ispVM System 窗口中，按 ispTools=>Scan Chain 菜单，或直接双击快捷键 Scan。ispVM System 软件会自动检测 JTAG 下载回路，找到回路中所有的器件型号。在本例中，实验箱上的 JTAG 下载回路中仅有一片 ispLSI1032E-70LJ84 器件，因此，Scan Chain 后的窗口如下图所示。



在 ispVM System 窗口中, 双击 New Scan Configuration Setup 子窗口中的 1032E 栏, 弹出 Device Information 对话框。在该对话框中的 Data 栏里, 选择需要下载的 JED 文件 D:\PLD\counter.jed; 在该对话框中的 Operation 栏里, 选择所需的编程操作, 这里选 Erase, Program, Verify, 对器件进行擦除、编程、校验。完成这些操作后, Device Information 对话框如下图所示。按 OK 钮, 关闭该对话框。



整个编程结束。根据 Fitter Report 中的引脚分配，对器件进行连线，测试。