

C8051F MCU 应用笔记

AN011 — 在 5V 系统中使用 C8051Fxxx

相关器件

本应用笔记适用于下列器件：
C8051Fxxx系列片上系统器件

引言

本应用笔记的目的是介绍如何在已有的5V系统中使用Cygnal 的C8051Fxxx系列器件。

在一个5V系统中使用3V器件时，用户必须考虑：

1. 必须提供一个3V电源。
2. 一个5V器件驱动一个3V输入。
3. 一个3V器件驱动一个5V输入。

电源

有多种因素决定着采用哪种方法从已有的5V电源提供3V电源。在这些因素中有5V电源的可靠性和系统电源的来源（即是电池还是交流电经过整流）。对5V电源进行调节提供3V电源的方案将增加设计的元件数并有附加的功率消耗，后者在使用电池的低功耗应用中尤其重要。

整流电源

可以从商业电源中选择电源。这样的电源一般来说稳压效果较差。为了提供‘干净’、稳定的3V电源，我们使用一个低压差稳压器（LDO）。

该LDO必须能为所用器件和系统中所用的其它3V外设提供满足要求的电流。这些技术要求可以在相应的数据表中查到。例如，Cygnal C8051F001的数据表中给出的在20MHz、模拟外设工作情况下的典型电流为12mA（10mA的CPU工作电流和2mA的模拟外设电流）。此外，如果还使用其它器件，如LED，则设计时必须考虑所需要的附加电流。

某些可用于将5V转换为3V的LDO：

- 国家半导体的LM3940
(www.national.com)
- 德州仪器的TPS769xx系列
(www.ti.com)

电池供电

电池通常能提供一个干净的电源。但是使用电池的应用系统必须是低功耗的，因此应使用DC-DC变换器，因为它们的效率比LDO高。所用电源器件必须能够在应用系统消耗最大电流的情况下提供正确的电压。下面是一些可用的DC-DC变换器：

- 国家半导体的LM2825
(www.national.com)
- C & D 的LME305D和LME305S
(www.dc-dc.com)
- 德州仪器的TPS769xx系列LDO也适合于电池应用系统
(www.ti.com)

与LDO不同，DC—DC变换器可以提供比输入电压高的输出电压。

用 5V 输出驱动 3V 输入

将一个5V驱动器接到一个标准的3V输入时，由于有电流流入ESD保护器件，可能导致器件损坏或减少寿命。Cygnal 的C8051Fxxx系列器件使用耐5V电压的输入结构。因此设计者可以将5V器件直接接到Cygnal 器件的数字输入引脚而不会产生有害电流。

用 3V 输出驱动 5V 输入

虽然C8051Fxxx系列器件的数字输入是5V兼容的，但输出的最大电压值为VDD(2.7 到 3.6V)。如果5V器件需要一个高于该VDD的输入电压才能工作，则需要进行额外的配置。

为了提供一个比VDD高的输入电压值，我们将端口引脚的输出方式设置为“漏极开路”，并将输出端通过一个上拉电阻接到5V电源。这样一来，C8051Fxxx的逻辑‘1’输出将被提升到5V，而逻辑‘0’为地电平。参见下面的图1。注意，复位后端口引脚的缺省设置为漏极开路。

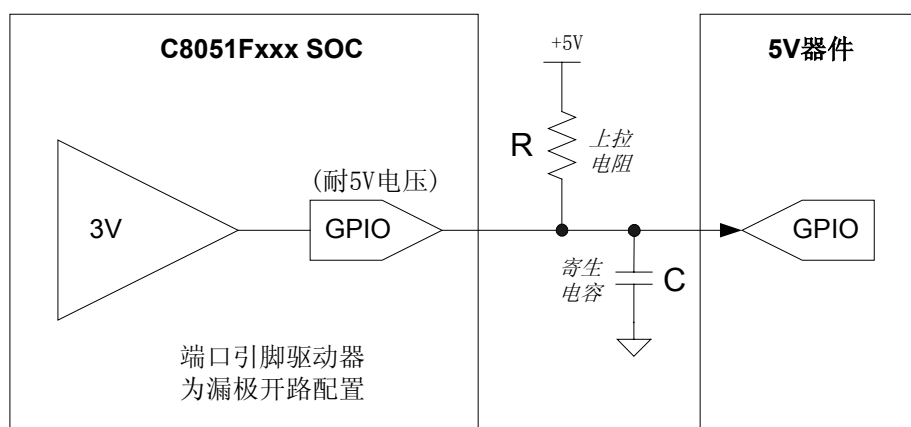


图1. C8051Fxxx器件驱动5V器件输入

选择上拉电阻

当端口引脚为逻辑‘0’时，输出电压接近地电平。在该状态下，电流将通过上拉电阻和端口驱动器流入地。为了减小功耗，我们希望用一个大阻值的电阻使这个电流最小。

当端口引脚为被设置为逻辑‘1’时，输出驱动器关断，端口的输出通过一个上拉电阻被拉为高电平。信号的上升时间可能很长，由上拉电阻值和寄生电容值所决定。寄生电容包括连线电容和输入电容。在图1所示的电路中，5V电源通过上拉电阻给寄生电容充电，充电时间常数为寄生电容与上拉电阻的乘积：

$$V(t) = 5V \left(1 - e^{\frac{-t}{RC}} \right)$$

方程1.寄生电容充电电压

如果时序并不重要（例如，按钮或片选信号），则充电时间的影响不大。但是如果时序显得重要（例如，串行通信和时钟信号同步），则必须要考虑充电时间，这就要限制上拉电阻的最大值。上拉电阻的阻值大将导致对寄生电容的充电时间长，因而端口引脚电压上升到实现逻辑‘1’所需的高电平的时间就长。参见下面的图2，其中：T是为充电到高于5V器件实现逻辑‘1’所要求的高电压（通常称为 V_{ih} ）而花费的时间。这个电压值与寄生电容一样，取决于应用系统的实际情况。如果时间常数过大，5V器件在给定的方波周期内可能永远接收不到足够高的电压来实现逻辑‘1’。因此，为了得到正确的输入，所选择的上拉电阻（R）必须足够小，但为了保证在逻辑‘0’状态上拉电阻不消耗过多的功率，R又不能太小。

对于一个给定的应用，一旦可接受的最大上升时间（T）确定，可以通过解方程1来计算上拉电阻（R）的值：

$$R = \frac{T}{C \cdot \ln\left(\frac{5}{5 - V_{ih}}\right)}$$

其中， V_{ih} = 逻辑‘1’电压，

T = 达到逻辑‘1’的最大时间

方程2. 计算上拉电阻值（R）

尽管输出电压从高降到低（‘1’到‘0’）有一个小的延时，但该时间与上升时间相比微不足道。图2中显示出（尽管已经对该时间放大）这个很小的衰减时间。寄生电容中的电荷通过C8051Fxxx的端口驱动器放电到与地电平相差很小的电压值。

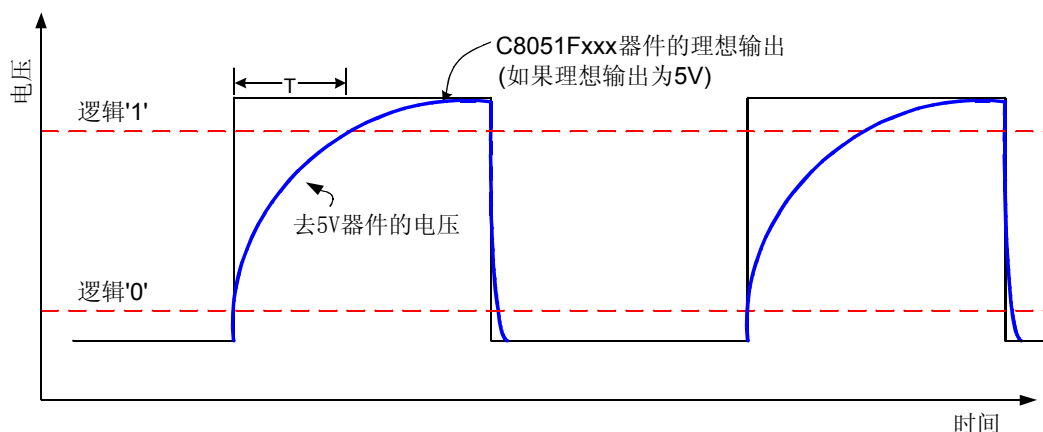


图2. 存在寄生电容情况下的方波充电波形

如前所述，如果上拉电阻小，则在逻辑‘0’状态电流从5V电源流入地时将有大的功率消耗。另外，如果该电阻值过小，由于端口驱动器存在电压降落，可能会因低电平状态的电压过高而不能实现逻辑‘0’ (V_{ol})。例如，对于C8051F0xx器件，其 V_{ol} 指标在8.5mA时为0.6V。小电阻会导致较大的电流，从而对5V器件产生较高的输入电压。

概括来说，上拉电阻必须是：

1. 足够大，以避免在逻辑‘0’状态产生过大的电流和功耗。
2. 足够大，使电压低于5V器件的 V_{il} 以实现逻辑‘0’状态。
3. 足够小，根据寄生电容和应用要求提供可接受的上升时间。

示例

下面是一个在已知寄生电容 (C)、所要求的逻辑‘1’ (V_{ih}) 电压电平以及状态转换频率（它决定了所允许的最大上升时间 (T)）的情况下计算上拉电阻 (R) 的例子。我们还要计算逻辑‘0’状态下上拉电阻消耗的功率和电压电平。我们将据此选择上拉电阻 (R) 的值。

在本例中，我们将考虑使用SMBus的一个应用：C8051Fxxx在主方式（提供SCL信号给其它器件）下输出漏极开路同步时钟信号（SCL）。该信号作为一个5V器件的输入，为了保证能提供正确的电压，我们使用第二页中图1所示的配置。要保证在采用这一方法时，所用的端口引脚被配置为漏极开路（见相关的数据表）。C8051Fxxx在复位后端口引脚的缺省设置为漏极开路。

必须计算一个合适的上拉电阻值，以保证：

- 逻辑‘0’状态下的电流/功耗最小（R值过小）。
- 由寄生电容和上拉电阻决定的上升时间在规定的性能指标之内。（R值过大）。
- 在逻辑低电平状态，端口驱动器上的电压降不会过大（R值过小）。

在低功耗应用中（即，使用电池供电的情况），使用大电阻是比较理想的，可以使功耗最小。我们将计算满足电压上升时间要求的最大电阻值。对于本应用，电压应在时钟周期的5%时间内上升到5V器件的CMOS逻辑高电平。我们假定 V_{ih} 为 $0.8 \cdot V_{DD}$ ，或4伏。选择SCL频率为400kHz，我

AN011 — 在 5V 系统中使用 C8051Fxxx

们的电压应在125ns内上升到4伏。

将 $T=125\text{ns}$ 、 $V_{ih}=4\text{V}$ 代入方程2中。我们假设寄生电容为10 pF，只有一个从器件挂在SCL线上。（这会随着应用不同而变化，取决于所连接的器件数和连接这些器件所用的连线的数量）。我们用方程2计算得 $R=7.77\text{ k}\Omega$ 。这是满足给定的SCL频率和我们所设定的CMOS输入高电平的最大上拉电阻值。注意，SCL的频率越低，上拉电阻值就可以越大。

注意，我们已经有了所希望的最大电阻值。我们可以计算逻辑‘0’状态时流过电路的电流，看这个电流对一个给定的应用来说是否可以接受。考虑最坏的情况，我们计算在电源电压为5V且端口引脚与地之间的电压降可以忽略不计的情况下的电流。这样，流经 $7.77\text{ k}\Omega$ 电阻的电流为 $644\mu\text{A}$ 。在流过 $644\mu\text{A}$ 的电流时上拉电阻消耗的功率约为3.2 mW。